

ICS 35.xxx

CCS Lxx

团 体 标 准

T/ISC XXX—XXXX

基于人工智能技术的印制电路板设计系统 技术要求

Technical requirements for printed circuit board design systems based on artificial
intelligence technology

在提交反馈意见时，请将您知道的相关专利与支持性文件一并附上。

（征求意见稿）

XXXX - XX - XX 发布

XXXX - XX - XX 实施

中 国 互 联 网 协 会 发 布

目 次

前 言 III

引 言 V

1 范围 1

2 规范性引用文件 1

3 术语和定义 1

4 符号和缩略语 1

5 概述 2

 5.1 基本要求 2

 5.2 设计系统组成 2

6 功能要求 3

 6.1 原理图设计 3

 6.2 原理图审查 4

 6.3 PCB 布局 4

 6.4 PCB 布线 5

 6.5 设计规范审查 6

 6.6 可制造性验证 6

7 数据交换及系统接口要求 7

 7.1 数据格式与兼容性要求 7

 7.2 系统接口要求 7

8 性能要求 7

 8.1 性能指标要求 7

 8.2 性能指标计算方法 8

9 安全与合规要求 11

 9.1 数据安全 11

 9.2 合规要求 12

10 运维要求 12

参 考 文 献 13

前 言

本文件按照GB/T 1.1—2020《标准化工作导则 第1部分：标准化文件的结构和起草规则》的规定起草。

请注意本文件的某些内容可能涉及专利。本文件的发布机构不承担识别专利的责任。

本文件由中国互联网协会提出并归口。

本文件起草单位：

本文件主要起草人：

本文件及其所代替文件的历次版本发布情况为：

——

引 言

印制电路板（PCB）设计作为电子信息硬件工程的基础环节，已具备成熟的技术体系与规范化的设计流程。随着电子产品迭代周期的持续加速以及多任务协同需求的增加，传统设计流程中涉及大量的器件选型比对、规则核查、走线调整等经验依赖与重复性人工操作，提升研发与交付效率已成为行业的核心诉求。

近年来，人工智能技术在原理图构建、辅助布局布线、智能审查及可制造性验证等环节逐步推广应用，在提升设计效率、缩短产品研发周期、保障设计一致性方面展现出显著的赋能价值，成为推动电子设计自动化（EDA）提质增效的重要技术途径。

随着人工智能与PCB设计工具的深度融合，行业需要对相关系统的功能要求、数据交互标准以及质量与性能基准进行统一界定，以解决系统间协同门槛高、能力评价缺乏统一依据等问题。制定本文件旨在规范基于人工智能技术的印制电路板设计系统的通用技术要求，引导系统的规范化开发、工程化应用与科学化评估，促进AI-EDA技术在产业中的健康普及与效能释放。

基于人工智能技术的印制电路板设计系统技术要求

1 范围

本文件规定了基于人工智能技术的印制电路板设计系统（以下简称设计系统）的总体架构、功能要求、数据要求、性能要求、安全与合规要求以及运维要求。

本文件适用于基于人工智能技术的印制电路板设计系统的开发、测试、集成与评估。

2 规范性引用文件

下列文件中的内容通过文中的规范性引用而构成本文件必不可少的条款。其中，注日期的引用文件，仅该日期对应的版本适用于本文件；不注日期的引用文件，其最新版本（包括所有的修改单）适用于本文件。

GB/T 41867—2022 信息技术 人工智能 术语

IPC-2581 Generic Requirements for Printed Board Assembly Products Manufacturing Data and Transfer Methodology

IPC-2221 Generic Standard on Printed Board Design

工信部《印制电路板行业规范条件》（2025年本）

3 术语和定义

下列术语和定义适用于本文件。

3.1

设计决策 Design decision

系统在设计过程中，基于算法模型或预设规则对元器件选型、拓扑结构、布局位置或布线路径等做出的选择或建议。

3.2

可解释性 Explainability

人工智能模型提供其产生特定设计决策的依据、逻辑或推理过程的能力。

3.3

知识图谱 Knowledge graph

在PCB设计领域中，指对元器件属性、设计约束、行业规范及专家经验进行结构化关联而形成的语义网络。

4 符号和缩略语

下列符号和缩略语适用于本文件。

AI: 人工智能（Artificial Intelligence）

API: 应用程序编程接口 (Application Programming Interface)
BOM: 物料清单 (Bill of Materials)
DFM: 可制造性设计 (Design for Manufacturing)
DRC: 设计规则检查 (Design Rule Check)
EDA: 电子设计自动化 (Electronic Design Automation)
ERC: 电气规则检查 (Electrical Rule Check)
FPGA: 现场可编程逻辑门阵列 (Field Programmable Gate Array)
IP: 知识产权 (Intellectual Property)
IPC: 国际电子工业联接协会 (Institute for Printed Circuits)
MES: 制造执行系统 (Manufacturing Execution System)
PCB: 印制电路板 (Printed Circuit Board)
PDN: 电源分配网络 (Power Delivery Network)
PI: 电源完整性 (Power Integrity)
SI: 信号完整性 (Signal Integrity)

5 概述

5.1 基本要求

基于人工智能技术的印制电路板设计系统支持从设计建议、方案推荐、辅助绘图到全流程任务自动执行的多种人机协同模式,应确保所有最终设计决策均由工程师做出。在系统自主执行特定任务或全流程设计任务时,应提供过程监控、关键节点审核及最终验收确认机制,确保工程师对结果的有效管控。

基于人工智能技术的印制电路板设计系统应遵循以下基本要求:

- a) 设计系统的设计决策不应引入超出传统设计流程的安全风险。针对航空航天、医疗、汽车电子等高可靠性应用应保留强制性的人工审核环节;
- b) 设计系统的设计决策应具备可追溯性和可解释性。人工智能模型应提供设计决策的依据和推理过程,以便于工程师理解、验证和责任判定;
- c) 设计系统的设计输出应通过EDA引擎的验证,确保设计数据在主流EDA工具中可打开、可编辑,并能够通过ERC、DRC及DFM等检查。
- d) 设计系统应采用标准化的数据格式进行设计数据交换,应采用IPC-2581等人工智能就绪的开放标准,确保跨平台的数据一致性;
- e) 设计系统应在关键决策节点保留人工干预途径,确保人工审核与人工智能生成的有效协同。

注:关键决策节点包括原理图定稿、布局冻结、布线完成等。

5.2 设计系统组成

设计系统由若干功能子系统组成,各子系统之间通过统一的数据底座、标准化接口或标准化文件进行信息交互。系统的典型逻辑组成架构见如图1:

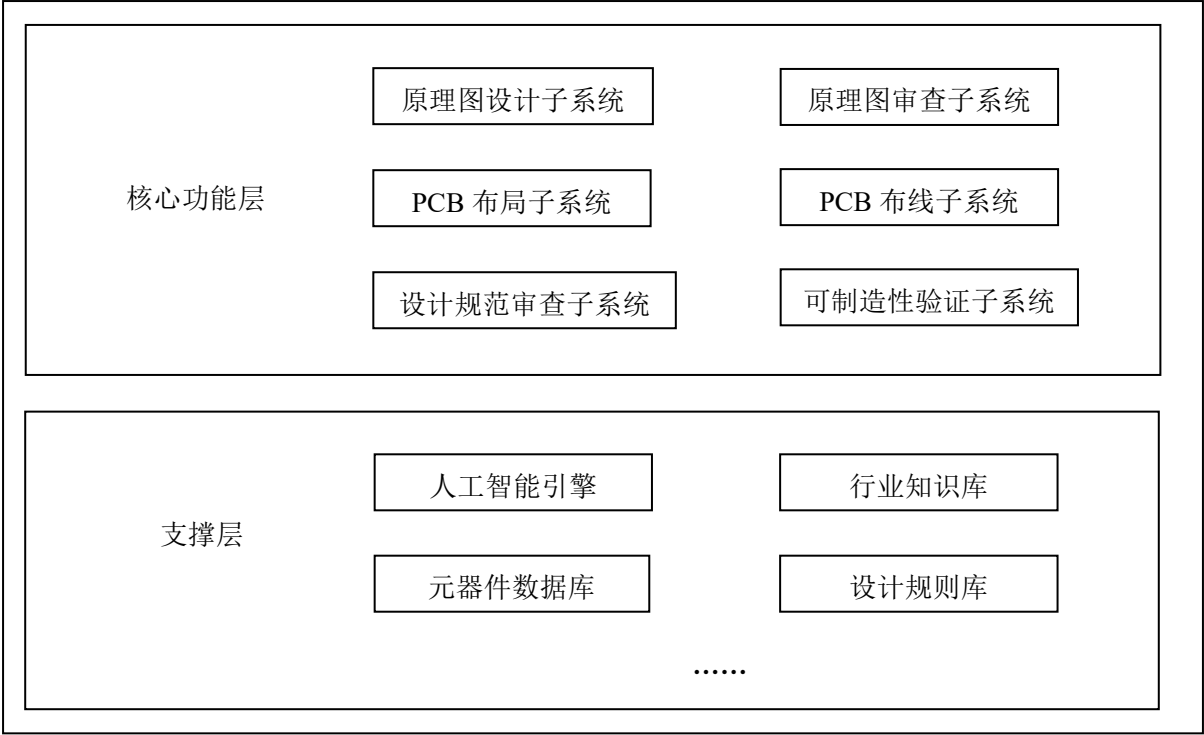


图1 基于人工智能技术的印制电路板设计系统图

6 功能要求

6.1 原理图设计

6.1.1 功能要求

基于人工智能技术的原理图设计子系统应具备以下功能：

- a) 需求解析与转化：应具备自然语言处理能力，能够理解自然语言描述的功能需求，并将其准确转化为结构化的电路设计规格；
- b) 元器件选型：应能够根据设计规格自动推荐元器件，综合考虑电气参数匹配、封装兼容性、供应链可用性及成本约束等因素；
- c) 电路拓扑自动生成：宜能够根据设计规格自动生成电路拓扑结构，包括功能模块划分、信号流向设计以及PDN设计；
- d) 原理图绘制：宜能够自动生成符合标准的原理图图纸，包括标准化符号使用、标注和注释、元器件信息（型号、封装、值等）；
- e) 约束引导与验证：宜支持基于知识图谱或规则库的约束验证方法，验证生成的原理图满足电气和拓扑约束要求。

6.1.2 数据要求

基于人工智能技术的原理图设计子系统数据要求见表1。

表1：基于人工智能技术的原理图设计子系统数据要求表

序号	类型	数据要求
----	----	------

1	输入数据	应包括自然语言设计规格书、功能框图； 应包括电压、电流、频率、温度等设计约束； 可包括优选元器件清单、历史相似参考设计。
2	输出数据	应包括原理图源文件（EDA原生格式）、网表文件、BOM清单； 应包括设计说明文档、元器件数据手册引用。
3	知识库	应包括电气参数、封装信息和引脚定义等元器件数据库； 应包括典型电路组件库与功能模块模板库； 应包括ERC规则、设计规范等设计规则库。

6.2 原理图审查

6.2.1 功能要求

基于人工智能技术的原理图审查子系统应具备以下功能：

- a) 连接正确性审查：应能够自动验证原理图中引脚连接关系与元器件数据手册的一致性，识别引脚定义冲突；
- b) 电气规则审查：应能够执行电气规则检查，包括浮空引脚检测、电源与地短路检测、电压域不匹配检测、驱动能力分析及信号完整性初步评估；
- c) 数据手册一致性审查：应具备从元器件数据手册中自动提取引脚功能与电气规格的能力，并实现与原理图设计的智能比对；
- d) 设计规范符合性审查：应能够验证元器件命名、网络命名、标注方式及图纸组织结构是否符合设计规范；
- e) 可制造性预审查：应结合产品设计、结构设计、PCB板框、元器件封装、PCB布局布线综合考虑，在原理图阶段对元器件封装可用性、供应链采购风险及组装可行性进行初步评估；
- f) 审查报告生成：应支持自动生成包含问题分类、优先级排序、故障位置标注、修复建议及数据手册引用页码的结构化审查报告。

6.2.2 数据要求

基于人工智能技术的原理图审查子系统数据要求见表2。

表2：基于人工智能技术的原理图审查子系统数据要求表

序号	类型	数据要求
1	输入数据	应包括原理图源文件、元器件数据手册； 应包括设计规范文档及审查规则。
2	输出数据	应包括结构化审查报告； 应包括覆盖含位置、类型、严重程度、修复建议的分级问题列表； 应包括审查结论。
3	知识库	应包括元器件数据手册库； 应包括引脚功能模板库与典型违规模式库； 应包括审查规则库。

6.3 PCB 布局

6.3.1 功能要求

基于人工智能技术的PCB布局子系统应具备以下功能：

- a) 网表解析与约束加载：应能够解析网表文件，加载时序、信号完整性、电源完整性、热力学及机械等设计约束；
- b) 元器件自动放置：应能够根据网表和约束自动确定元器件位置，实现总布线长度最小化、拥塞最小化、信号完整性优化、热分布优化及可制造性优化等多维目标；
- c) 功能区域划分：应能够自动划分包含电源区、模拟区、数字区及高频区等功能区域，并据此指导元器件放置；
- d) 关键元器件优先放置：应支持对包含处理器、FPGA及高速接口芯片等关键元器件进行优先放置和优化；
- e) 布局约束管理：应支持元器件对齐约束、间距约束、旋转约束、特定区域放置约束及相对位置约束等多种布局约束；
- f) 布局质量评估：应提供布局质量的多维度评分和可视化报告。

6.3.2 数据要求

基于人工智能技术的PCB布局子系统数据要求见表3。

表3：基于人工智能技术的PCB布局子系统数据要求表

序号	类型	数据要求
1	输入数据	应包括网表文件及布局约束文件 应包括包含封装、尺寸及引脚信息的元器件库； 应包括PCB轮廓、层叠结构以及包含差分对、等长及阻抗等要求的信号完整性约束、电源的电压、载流、完整的电源树、需求的板厚。
2	输出数据	应包括原生格式的布局文件及元器件坐标清单； 应包括布局质量报告及关键路径标注。
3	训练数据要求	应包括规模满足AI模型训练要求的布局数据集，数据集应涵盖主流层数及典型复杂度的设计实例，并包含经过验证的布局质量评价标注。

6.4 PCB 布线

6.4.1 功能要求

基于人工智能技术的PCB布线子系统应具备以下功能：

- a) 自动布线：应能够根据布局结果及约束条件自动完成信号网络的连接；
- b) 约束驱动布线：应支持线宽及间距约束、阻抗控制约束、差分对布线约束、等长匹配约束、过孔数量约束及层分配约束、铺铜等多种布线约束；
- c) 交互式布线：应支持工程师与人工智能协同布线，人工智能应能够提供实时布线建议及走线自动补全功能；
- d) 布线优化：应实现包含阻抗连续及串扰最小化的信号完整性优化、布线长度最小化、过孔数量最小化及可制造性优化等目标；
- e) 设计规则实时反馈：应在布线过程中实时执行DRC检查，确保走线符合设计要求；
- f) 布线后优化：应提供包含串扰分析、信号完整性分析、布线密度优化及过孔分布优化在内的布线后优化功能。

6.4.2 数据要求

PCB布线子系统数据要求见表4。

表4：基于人工智能技术的PCB布局子系统数据要求表

序号	类型	数据要求
1	输入数据	应包括布局文件、网表文件及布线约束文件； 应包括层叠结构、阻抗控制要求及高速信号特殊设计要求。
2	输出数据	应包括原生格式的布线完成的设计文件； 应包括包含完成率、DRC结果及统计信息的布线报告，以及信号完整性分析报告。
3	训练数据要求	应包括规模满足人工智能模型训练要求的布线数据集，数据集应涵盖不同复杂度等级及布线策略的设计实例，并应通过DRC验证。

6.5 设计规范审查

基于人工智能技术的设计规范审查子系统应具备以下功能：

- a) 传统规则检查：应能够执行传统的设计规则检查及电气规则检查；
- b) 人工智能增强规则检查：应支持利用人工智能技术增强规则检查能力，实现自动从数据手册提取规则和由设计规范自动生成检查规则、规则优先级智能排序以及基于上下文感知的违规判断；
- c) 规则自动生成：应能够根据设计上下文自动生成并优化设计规则；
- d) 违规智能分类：应具备违规项的智能分类功能，实现包含致命、严重、警告及建议在内的违规严重程度分级，并支持违规类型识别、根因分析及修复建议生成；
- e) 多物理场检查：应支持包含信号完整性、电源完整性、热力学分析及机械应力分析在内的多物理场检查。

6.5.1 数据要求

设计规范审查子系统数据要求见表5。

表5：基于人工智能技术的设计规范审查子系统数据要求表

序号	类型	数据要求
1	输入数据	应包括包含原理图、布局及布线信息的设计文件； 应包括设计规则库、制造能力参数以及包含IPC-2221在内的行业标准。
2	输出数据	应包括设计规则检查与电气规则检查报告； 应包括包含位置信息、违规类型、严重程度及修复建议的违规列表，以及设计质量评分报告。

6.6 可制造性验证

基于人工智能技术的可制造性验证子系统应具备以下功能：

- a) 制造规则检查：应能够检查设计是否符合包含最小线宽及间距、最小钻孔尺寸、铜箔厚度要求、阻焊开窗要求及表面处理要求在内的制造能力要求；
- b) 智能可制造性分析：应支持利用人工智能技术进行智能DFM分析，提供包含制造风险预测、良率预测、成本优化建议及工艺优化建议在内的分析评价；
- c) 供应商能力匹配：应支持根据不同制造商的能力参数进行针对性的DFM检查；
- d) DFM报告生成：应支持自动生成包含问题列表、修复建议及优先级排序在内的结构化可制造性验证报告。

6.6.1 数据要求

基于人工智能技术的可制造性验证子系统数据要求见表6。

表6：基于人工智能技术的可制造性验证子系统数据要求表

序号	类型	数据要求
1	输入数据	应包括原生格式的完整设计文件及制造商能力参数； 应包括可制造性设计规则库。
2	输出数据	应包括结构化DFM报告及制造风险热力图； 应包括良率预测分析结果； 宜包括制造成本估算信息。

7 数据交换及系统接口要求

7.1 数据格式与兼容性要求

7.1.1 交换格式

基于人工智能技术的印制电路板设计系统应采用IPC-2581作为设计数据交换的统一标准格式，该格式应能提供支持机器识别与读取的数字产品模型。

采用IPC-2581格式的数据应包含制造信息、装配信息、测试、叠层结构、阻抗控制要求、图纸标注及几何尺寸等完整设计数据。

7.1.2 数据兼容性

系统应支持主流EDA工具的数据格式导入与导出，应兼容以下格式：

- a) KiCad（.kicad_pcb, .kicad_sch）；
- b) Altium（.PcbDoc, .SchDoc）；
- c) Allegro（.brd）；
- d) Gerber（RS-274X）。

7.1.3 元数据要求

设计数据应包含完整的元数据信息，涵盖元器件型号、封装信息、元器件参数值、供应商属性以及设计版本状态等。

7.2 系统接口要求

系统接口应满足以下要求：

- a) EDA工具接口：应提供与主流EDA工具对接的API接口；
- b) 数据交换接口：应支持通过IPC-2581标准实现设计数据的双向交换；
- c) 仿真工具接口：应提供与信号完整性分析、电源完整性分析及热力学仿真工具的标准化接口；
- d) 制造系统接口：宜支持与MES进行数据对接，实现设计数据向生产端的自动化流转。

8 性能要求

8.1 性能指标要求

基于人工智能技术的印制电路板设计系统的性能要求详见表7。

表7：基于人工智能技术的印制电路板设计系统的性能要求表

序号	功能模块	指标	最低阈值标准
1	原理图设计	ERC通过率	≥95%
2		元器件选型准确率	≥90%
3	原理图审查	连接错误检出率	≥90%
4		误报率	≤15%
5	PCB布局	布局DRC通过率	≥90%
6		布线完成率（布局后）	≥85%
7	PCB布线	布线完成率	≥95%
8		DRC通过率	≥90%
9	设计规范审查	规则覆盖率	≥95%
10		违规检出率	≥90%
11	DFM验证	DFM问题检出率	≥85%
12		良率预测准确率	≥80%

8.2 性能指标计算方法

8.2.1 原理图设计指标

a) ERC通过率

ERC通过率表征系统自动生成的原理图在电气连接正确性方面的合格程度，该指标为通过电气规则检查的网络节点数占原理图设计总节点数的百分比，按公式（1）计算。

$$P_{ERC} = \frac{N_{pass_node}}{N_{total_node}} \times 100\% \dots\dots\dots (1)$$

式中：
P_{ERC}——电气规则检查通过率；
N_{pass_node}——未触发电气规则违规的节点数量；
N_{total_node}——原理图中的电气节点总数。

b) 元器件选型准确率

元器件选型准确率表征系统根据自然语言或功能需求推荐元器件时，推荐结果符合电气参数、封装形式及供应链约束的准确程度。该指标为经人工验证或基准工程比对的推荐器件数占系统推荐器件总数的百分比，按公式（2）计算。

$$A_{comp} = \frac{N_{valid_comp}}{N_{total_comp}} \times 100\% \dots\dots\dots (2)$$

式中：

A_{comp} ——元器件选型准确率；

N_{valid_comp} ——满足设计规格约束且被采纳的元器件数量；

N_{total_comp} ——系统推荐的元器件总数量。

8.2.2 原理图审查指标

a) 连接错误检出率

连接错误检出率表征系统对原理图中悬空引脚、短路、错接及引脚定义冲突等连接故障的识别查全能力。该指标为系统正确检出的连接错误数占测试样本中实际存在错误总数的百分比，按公式（3）计算。

$$R_{conn} = \frac{TP_{conn}}{TP_{conn} + FN_{conn}} \times 100\% \quad \dots\dots\dots (3)$$

式中：

R_{conn} ——连接错误检出率；

TP_{conn} ——实际存在且被系统正确检出的连接错误数量；

FN_{conn} ——实际存在但系统漏报的连接错误数量。

b) 审查误报率

审查误报率表征系统审查报告中错误报警的发生概率。该指标为系统报告的错误中实际为正常设计的数量占系统报告报警总数的百分比，按公式（4）计算。

$$FPR = \frac{FP}{TP + FP} \times 100\% \quad \dots\dots\dots (4)$$

式中：

FPR ——审查误报率；

FP ——实际为正常设计但被系统误报为错误的报警数量；

TP ——系统正确检出的真实错误数量。

8.2.3 PCB 布局指标

a) 布局DRC通过率

布局DRC通过率表征系统自动放置元器件后，器件物理布局对机械干涉、器件间距、禁布区等设计规则的符合程度。该指标为未发生空间干涉与布局规则冲突的元器件数占板上元器件总数的百分比，按公式（5）计算。

$$P_{place_DRC} = \frac{N_{pass_comp}}{N_{total_comp}} \times 100\% \quad \dots\dots\dots (5)$$

式中：

P_{place_DRC} ——布局设计规则检查通过率；

N_{pass_comp} ——符合布局设计规则的元器件数量；

N_{total_comp} ——PCB板上的元器件总数量。

b) 布局后布线连通预估率

布局后布线连通预估率表征元器件布局方案对后续自动布线可实现性的支撑能力。该指标为在完成布局的状态下，经布线拓扑密度预估或试布线能够实现无冲突连通的网络数占总设计网络数的百分比，按公式（6）计算。

$$R_{pre_route} = \frac{N_{routable_net}}{N_{total_net}} \times 100\% \quad \dots\dots\dots (6)$$

式中：

R_{pre_route} ——布局后布线连通预估率；

$N_{routable_net}$ ——评估为可成功走线连通的网络数量；

N_{total_net} ——设计中待布线的网络总数量。

8.2.4 PCB 布线指标

a) 布线完成率

布线完成率表征自动布线算法在指定约束条件下完成拓扑物理连通的能力。该指标为成功实现端到端物理连接且无开路断线的网络数占待布线网络总数的百分比，按公式（7）计算。

$$R_{route} = \frac{N_{connected_net}}{N_{total_net}} \times 100\% \quad \dots\dots\dots (7)$$

式中：

R_{route} ——布线完成率；

$N_{connected_net}$ ——成功完成物理连通的网络数量；

N_{total_net} ——待布线网络总数量。

b) 布线DRC通过率

布线DRC通过率表征已布线网络在满足线宽、线距、阻抗、差分对等长及过孔规则方面的合规程度。该指标为完全符合电气走线设计规则的网络数占已完成布线网络数的百分比，按公式（8）计算。

$$P_{route_DRC} = \frac{N_{drc_pass_net}}{N_{connected_net}} \times 100\% \quad \dots\dots\dots (8)$$

式中：

P_{route_DRC} ——布线设计规则检查通过率；

$N_{drc_pass_net}$ ——无走线设计规则违规的网络数量；

$N_{connected_net}$ ——已完成物理连通的网络数量。

8.2.5 设计规范审查指标

a) 规则覆盖率

规则覆盖率表征系统支持执行审查的设计规则范围与输入标准规范全集的重合程度。该指标为系统能够有效识别并执行检查的规则条目数占指定标准规范规则总条目数的百分比，按公式（9）计算。

$$C_{rule} = \frac{N_{exec_rule}}{N_{std_rule}} \times 100\% \quad \dots\dots\dots (9)$$

式中：

C_{rule} ——规则覆盖率；

N_{exec_rule} ——系统可自动化执行检查的规则条目数量；

N_{std_rule} ——基准设计规范中包含的检查规则总数量。

b) 违规检出率

违规检出率表征系统在设计规范核查中对违规项的识别能力。该指标为系统检出的违规项数量占测试样本中实际存在的违规总项数的百分比，按公式（10）计算。

$$R_{violation} = \frac{TP_{violation}}{TP_{violation} + FN_{violation}} \times 100\% \quad \dots\dots\dots (10)$$

式中：

$R_{violation}$ ——违规检出率；

$TP_{violation}$ ——实际存在且被系统检出的违规项数量；

$FN_{violation}$ ——实际存在但被系统遗漏的违规项数量。

8.2.6 可制造性验证指标

a) DFM问题检出率

DFM问题检出率表征系统对线宽过细、微孔间距过小、阻焊桥过窄等制造工艺隐患的查全能力。该指标为系统识别出的工艺违规项数占基准测试集中已知工艺缺陷总数的百分比，按公式（11）计算。

$$R_{dfm} = \frac{TP_{dfm}}{TP_{dfm} + FN_{dfm}} \times 100\% \quad \dots\dots\dots (11)$$

式中：

R_{dfm} ——可制造性设计问题检出率；

TP_{dfm} ——实际存在且被检出的制造工艺缺陷数量；

FN_{dfm} ——实际存在但未被检出的制造工艺缺陷数量。

b) 良率预测准确率

良率预测准确率表征系统对印制电路板加工及组装良品率预测结果与实际生产数据的拟合程度。该指标为系统预测良率与实际生产统计良率偏差的互补百分比，按公式（12）计算。

$$A_{yield} = \left(1 - \frac{Y_{pred} - Y_{actual}}{Y_{actual}}\right) \times 100\% \quad \dots\dots\dots (12)$$

式中：

A_{yield} ——良率预测准确率；

Y_{pred} ——系统给出的预测良品率数值；

Y_{actual} ——实际生产产线统计得出的良品率数值。

9 安全与合规要求

9.1 数据安全

在数据安全方面应满足以下要求：

- a) 训练数据脱敏：系统在收集、存储及使用设计案例进行人工智能模型训练时，应对其中的商业秘密、个人隐私及其他敏感信息进行脱敏处理，防止敏感数据泄露；
- b) 访问控制与加密：系统应建立用户身份认证与访问控制机制，并对关键设计数据、模型参数在存储和传输过程中实施强加密措施，确保数据的完整性与机密性。

9.2 合规要求

系统在开发、部署与应用过程中应满足以下合规性要求：

- a) 应符合工业和信息化部《印制电路板行业规范条件》（2025年本）的要求；
- b) 应支持利用IPC-2581标准的功能模式保护设计知识产权，确保在跨组织、跨平台协作过程中保护设计的知识产权；
- c) 当系统用于航空航天、医疗电子、汽车电子等高可靠性应用领域（IPC Class 3）时，其开发流程及输出结果应符合DO-254、AS9100等特定行业的标准。

10 运维要求

基于人工智能技术的印制电路板设计系统在运行维护阶段应满足以下要求：

- a) 模型管理：应具备人工智能模型的全生命周期管理能力，支持模型的定期迭代及更新，宜提供模型更新后的效果评估与回滚机制；
- b) 数据维护：应支持元器件库、PCB设计规则库、设计知识库及知识图谱的持续更新；
- c) 日志记录：应记录人工智能生成的各项设计决策、人工审核与干预操作、系统关键运行轨迹及异常事件，日志应具备不可篡改性。
- d) 性能监控：应提供对计算资源、API调用状态及数据流量的实时监控功能，应具备异常状态的自动告警、故障隔离及服务恢复能力。

参 考 文 献

[1]
